

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-308535

(43)Date of publication of application : 04.11.1994

(51)Int.CI. G02F 1/136
G09G 3/36

(21)Application number : 05-324882

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.12.1993

(72)Inventor : NAKAMURA HIROYOSHI
MASUDA YOICHI

(30)Priority

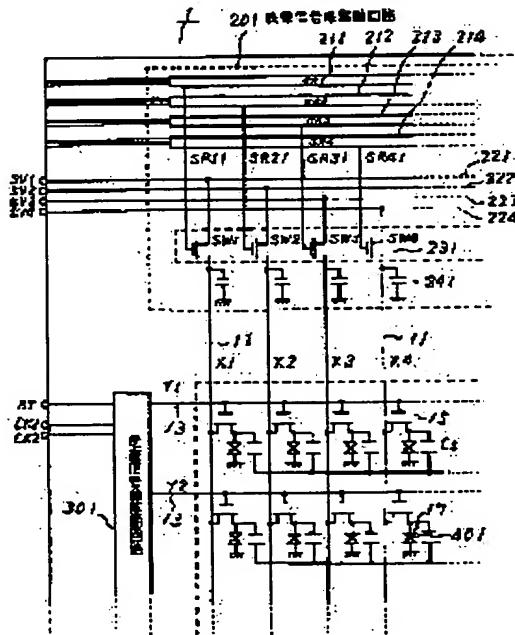
Priority number : 04343830 Priority date : 24.12.1992 Priority country : JP

(54) DISPLAY DEVICE

(57)Abstract:

PURPOSE: To fix roughly the frequency characteristics of respective video signal input lines by providing an area roughly equalizing the wiring capacity of the video signal input line with the wiring capacity of other video signal input line dealing with other selection element arranged close to the selection element in the video signal input line.

CONSTITUTION: Respective video signal input lines 221-224 in a video signal line driving circuit 201 are constituted of video signal input wirings arranged in parallel and first-fourth connection wirings connecting respective video signal input wirings with respective analog switches 231. Then, respective connection wirings are intersected with respective video signal input wirings twice respectively and connected to the analog switches 231 so that the wiring capacity of respective video signal input lines 221-224 are equalized roughly. Further, the number of times of respective connection wirings intersecting with respective video signal input wirings 221-224 are preferred to reduce the intersection parts as much as possible so as to decrease the wiring capacity. In such a manner, the wiring capacity between respective video signal input lines 221-224 are adjusted roughly equally, and the frequency characteristics are uniformized.



LEGAL STATUS

[Date of request for examination] 26.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

(19)日本国特許庁 (JP)

(12)特許公報 (B2)

(11)特許番号

特許第3476885号
(P3476885)

(45)発行日 平成15年12月10日 (2003.12.10)

(24)登録日 平成15年9月26日 (2003.9.26)

(51)Int.Cl.
G 0 2 F 1/1368
G 0 9 G 3/36

識別記号

F I
G 0 2 F 1/1368
G 0 9 G 3/36

請求項の数4(全8頁)

(21)出願番号 特願平5-324882
(22)出願日 平成5年12月22日 (1993.12.22)
(65)公開番号 特開平6-308535
(43)公開日 平成6年11月4日 (1994.11.4)
審査請求日 平成12年6月26日 (2000.6.26)
(31)優先権主張番号 特願平4-343830
(32)優先日 平成4年12月24日 (1992.12.24)
(33)優先権主張国 日本 (JP)

(73)特許権者 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72)発明者 中村 弘喜
神奈川県横浜市磯子区新杉田町8番地
株式会社東芝 横浜事業所内
(72)発明者 増田 陽一
神奈川県横浜市磯子区新杉田町8番地
株式会社東芝 横浜事業所内
(74)代理人 100058479
弁理士 鈴江 武彦 (外6名)

審査官 井口 猶二

(56)参考文献 特開 平1-289917 (JP, A)
特開 平2-158165 (JP, A)
特開 平5-307165 (JP, A)

最終頁に続く

(54)【発明の名称】表示装置

1

(57)【特許請求の範囲】

【請求項1】複数本の映像信号線にスイッチ素子を介して接続された画素電極と、p (pは2以上の正の整数) 本の映像信号入力線に供給される映像信号を選択制御手段の各出力により制御される選択素子群によって前記各映像信号線に出力する映像信号線駆動回路とを備えた表示装置において、
一前記選択素子に対応する一前記映像信号入力線の配線容量を前記一選択素子に近接して配置される他の前記選択素子に対応する他の前記映像信号入力線の配線容量と略等しくするように各映像信号入力線と交差した接続配線により前記一選択素子と前記一映像信号入力線とが接続されることを特徴とする表示装置。

【請求項2】複数本の映像信号線にスイッチ素子を介して接続された画素電極と、p (pは2以上の正の整

2

数) 本の映像信号入力線に供給される映像信号を選択制御手段の各出力により制御される選択素子群によって前記各映像信号線に出力する映像信号線駆動回路とを備えた表示装置において、

一前記選択素子に対応する一前記映像信号入力線の配線抵抗を前記一選択素子に近接して配置される他の前記選択素子に対応する他の前記映像信号入力線の配線抵抗と略等しくするように各映像信号入力線と交差した接続配線により前記一選択素子と前記一映像信号入力線とが接続されることを特徴とする表示装置。

【請求項3】複数本の映像信号線にスイッチ素子を介して接続された画素電極と、p (pは2以上の正の整数) 本の映像信号入力線に供給される映像信号を選択制御手段の各出力により制御される選択素子群によって前記各映像信号線に出力する映像信号線駆動回路とを備え

た表示装置において、

一前記選択素子に対応する一前記映像信号入力線の配線容量と配線抵抗との積を前記一選択素子に近接して配置される他の前記選択素子に対応する他の前記映像信号入力線の配線容量と配線抵抗との積と略等しくするように各映像信号入力線と交差した接続配線により前記一選択素子と前記一映像信号入力線とが接続されることを特徴とする表示装置。

【請求項 4】 請求項 1 乃至 3 のいずれかに記載の表示装置において、前記接続配線は各映像信号入力線と 2 回以上交差することを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は表示装置に係り、特に基板上に映像信号駆動部が一体に集積化された表示装置に関する。

【0002】

【従来の技術】 液晶表示装置に代表される表示装置は、薄型、軽量、低消費電力の特徴を生かして、テレビ表示用途、OA 用途を始めとして、各種分野で利用されるようになってきた。

【0003】 例えれば、投射型ディスプレイとして液晶表示装置を用いた場合、小型化・低価格化を達成すべく、光学系、特に投射レンズや色分離用のダイクロイック・ミラーを小さくする必要がある。このためには、各種レンズの大きさに合わせて液晶表示装置の画像表示部自身を小さくしなければならない。

【0004】 しかし、このように画像表示部を小さくすると、外部駆動回路部との接続端子も当然のことながら小さくしなければならず、外部駆動回路部との接続が困難となってくる。

【0005】 そこで、液晶表示装置を構成する電極基板上に駆動回路部を一体的に集積化する方法が考えられている。このような駆動回路部が一体に集積化された液晶表示装置について簡単に説明する。液晶表示装置は、マトリクス・アレイ基板と対向基板との間に液晶層が保持されて成っている。マトリクス・アレイ基板は、複数本の映像信号線と走査信号線とがマトリクス状に配置されており、各交点部分に活性層が多結晶シリコンで構成されて成るスイッチ素子を介して画素電極が配置されている。そして、各映像信号線、各走査信号線は、それぞれ同一基板上に一体的に集積化された形成された映像信号線駆動回路、走査信号線駆動回路に接続されている。

【0006】 この映像信号線駆動回路は、シフトレジスタ部と、映像信号入力線と、映像信号入力線の映像信号(SV)をシフトレジスタ部からの出力によって各映像信号線に出力するためのアナログ・スイッチ群とを備えている。

【0007】

【発明が解決しようとする課題】 ところで、このような

液晶表示装置において、高精細な表示画像の実現、あるいはハイビジョン対応の表示画像を実現すべく表示画素数を増大させる試みが成されている。しかし、このように表示画素数を増大させると、特に映像信号線駆動回路を構成するシフトレジスタ部の高速動作速度の確保、アナログ・スイッチ群の書き込み能力の増大を図る必要がある。

【0008】 そこで、映像信号線駆動回路を構成するシフトレジスタ部を、並列に動作する例えは 4 つのシフトレジスタで構成することにより、個々のシフトレジスタの動作速度を $1/(\text{分割数})$ 程度に低速化することができる。

【0009】 また、映像信号(SV)を複数の映像信号入力線に分割して供給することで、各アナログ・スイッチの選択期間を分割数倍程度に増大させることも可能となり、アナログ・スイッチの書き込み能力を補うことができる。

【0010】 しかしながら、映像信号(SV)を複数の映像信号入力線に分割して供給すると、例えは 4 分割した場合は図 5 に示すような分割数に応じた表示ムラが発生していた。

【0011】 本発明はこのような技術課題に対処して成されたものであって、映像信号(SV)が複数の映像信号入力線によって選択素子に供給される場合に生じていた表示ムラを解消し、良好な表示画像が確保できる表示装置を提供することを目的とする。

【0012】

【課題を解決するための手段】 請求項 1 に記載される発明は、複数本の映像信号線にスイッチ素子を介して接続された画素電極と、p (p は 2 以上の正の整数) 本の映像信号入力線に供給される映像信号を選択制御手段の各出力により制御される選択素子群によって前記各映像信号線に出力する映像信号線駆動回路とを備えた表示装置において、一前記映像信号入力線は一前記選択素子に対応する一前記映像信号入力線の配線容量を前記一選択素子に近接して配置される他の前記選択素子に対応する他の前記映像信号入力線の配線容量と略等しくする領域を備えたことを特徴としている。

【0013】 請求項 2 に記載される発明は、複数本の映像信号線にスイッチ素子を介して接続された画素電極と、p (p は 2 以上の正の整数) 本の映像信号入力線に供給される映像信号を選択制御手段の各出力により制御される選択素子群によって前記各映像信号線に出力する映像信号線駆動回路とを備えた表示装置において、一前記映像信号入力線は一前記選択素子に対応する一前記映像信号入力線の配線抵抗を前記一選択素子に近接して配置される他の前記選択素子に対応する他の前記映像信号入力線の配線抵抗と略等しくする領域を備えたことを特徴としている。

【0014】 請求項 3 に記載される発明は、複数本の映

像信号線にスイッチ素子を介して接続された画素電極と、 p (p は 2 以上の正の整数) 本の映像信号入力線に供給される映像信号を選択制御手段の各出力により制御される選択素子群によって前記各映像信号線に出力する映像信号線駆動回路とを備えた表示装置において、一前記映像信号入力線は一前記選択素子に対応する一前記映像信号入力線の配線容量と配線抵抗との積を前記一選択素子に近接して配置される他の前記選択素子に対応する他の前記映像信号入力線の配線容量と配線抵抗との積を略等しくする領域を備えたことを特徴としている。

【0015】

【作用】本発明者等は、映像信号 (SV) を複数の映像信号入力線に分割して供給した場合に生じる表示ムラの発生について種々検討した結果、次のような理由によることが確認された。

【0016】図 3 は従来の映像信号線駆動回路の部分概略正面図であるが、この図に示すように 4 分割された映像信号 (SV1) ~ (SV4) が供給される 4 本の映像信号入力配線 (411), (412), (413), (414) は、所定の間隔を隔て平行に配置されている。そして、複数の論理回路群で構成されるデコーダあるいはシフトレジスタ等の選択制御手段 (図示せず) からの各出力 (SR) は各映像信号入力配線 (411) ~ (414) を横切ってアナログ・スイッチ (SW) のゲートに供給される。

【0017】また、(4n-3) 番目 ($n=1, 2, \dots$) のアナログ・スイッチ (SW) のソース側は第 1 の映像信号入力配線 (411) に、(4n-2) 番目のアナログ・スイッチ (SW) のソース側は第 2 の映像信号入力配線 (412) に、(4n-1) 番目のアナログ・スイッチ (SW) のソース側は第 3 の映像信号入力配線 (413) に、(4n) 番目のアナログ・スイッチ (SW) のソース側は第 4 の映像信号入力配線 (414) にそれぞれ第 1 ~ 第 4 の接続配線 (421) ~ (424) によって接続されている。

【0018】ところで、この図から理解できるように、(4n-3) 番目のアナログ・スイッチ (SW) のソース側と第 1 の映像信号入力配線 (411) とを接続する第 1 の接続配線 (421) は最短配線長が L_1 であるのに対して、(4n) 番目のアナログ・スイッチ (SW) のソース側と第 4 の映像信号入力配線 (414) とを接続する第 4 の接続配線 (424) は略同一配線幅であるにも関わらず最短配線長は L_4 と短い。

【0019】また、第 1 の映像信号入力配線 (411) と第 4 の映像信号入力配線 (414) とを対比すると、第 1 の映像信号入力配線 (411) は各接続配線 (421), (422), (423), (424) との交差部分が存在しないが、第 4 の映像信号入力配線 (414) は各接続配線 (421), (422), (423) との交差部分が存在する。

【0020】このような理由から、例えば第 1 の映像信号 (SV1) が供給されるアナログ・スイッチ (SW) と第 4 の映像信号 (SV4) が供給されるアナログ・スイッチ

(SW) とでは、隣接配置されているにも関わらず映像信号入力配線 (411) ~ (414) と接続配線 (421) ~ (424) によって構成される各映像信号入力線の配線抵抗、配線容量が大きく相違してくる。

【0021】このように、従来では各映像入力信号線の配線抵抗あるいは配線容量が異なることに起因して、各映像信号線に印加される電圧に誤差が生じ、画面に縞状の表示ムラが発生していたと考えられる。

【0022】そこで、本発明の表示装置は、一映像信号入力線は一選択素子に対応する一映像信号入力線の配線容量あるいは配線抵抗を一選択素子に近接して配置される他の選択素子に対応する他の映像信号入力線の配線容量あるいは配線抵抗と略等しくする領域を備えているため、隣接映像信号間で供給される映像信号にはらつきが生じにくくなる。

【0023】そして、特に配線容量と配線抵抗との積、即ち時定数を略等しくする領域を設けることにより、映像信号入力線を複数に分割した場合であっても、映像信号入力線の分割に起因した表示ムラの発生を解消することができる。

【0024】

【実施例】以下、本発明の一実施例の液晶表示装置について図面を参照して説明する。図 1 は本発明の一実施例の液晶表示装置の概略構成図であり、この液晶表示装置 (1) は、映像信号駆動回路 (201) 及び走査信号駆動回路 (301) が一体的に集成化されたマトリクス・アレイ基板と対向基板との間に液晶層 (401) が保持されて構成されている。

【0025】このマトリクス・アレイ基板は、石英基板上に複数本の映像信号線 (11) と走査信号線 (13) とがマトリクス状に配置され、各交点部分にスイッチ素子として多結晶シリコンから成る薄膜トランジスタ (15) を介して ITO から成る画素電極 (17) が配置されている。また、各映像信号線 (11) は同一基板上に形成された映像信号線駆動回路 (201) に、各走査信号線 (13) も同様に同一基板上に形成された走査信号線駆動回路 (301) にそれぞれ接続されている。

【0026】走査信号線駆動回路 (301) は、図示しないがクロックド・インバータ型のシフトレジスタによって構成されており、スタート信号 (ST) とクロック信号 (CK1, CK2) の入力によって駆動され、各走査信号線 (13) に順次走査信号を印加する。

【0027】次に、映像信号線駆動回路 (201) について説明する。映像信号線駆動回路 (201) は、並列に接続されたクロックド・インバータ型の第 1 ~ 第 4 のシフトレジスタ (211) ~ (214) を備えている。各シフトレジスタ (211) ~ (214) には各々スタート信号と 2 つのクロック信号が入力され、第 1 のシフトレジスタ (211) からは図 4 (b) に示すような出力 (SR1i) ($i=1, 2, \dots$) が、第 2 のシフトレジスタ (212) からは図 4 (c) に示すよう

な出力 (SR2i) が、第 3 シフトレジスタ (213) から出力 (SR3i) が、第 4 シフトレジスタ (214) は図 4 (e) に示すような出力 (SR4i) がそれ得られる。

【0028】また、映像信号線駆動回路 (201) の第 1 ～第 4 の映像信号入力線 (221) ～(224) には、図 4 (a) に示すような 4 分割され位相が 1/4 周期づつずれた映像信号 (SV1) ～(SV4) が供給される。そして、映像信号 (SV1) は映像信号線 X (4n-3) (n=1, 2, ...) に、映像信号 (SV2) は映像信号線 X (4n-2) (n=1, 2, ...) に、映像信号 (SV3) は映像信号線 X (4n-1) (n=1, 2, ...) に、映像信号 (SV4) は映像信号線 X (4n) (n=1, 2, ...) にそれぞれ対応するように、上述した各シフトレジスタ (211) ～(214) によって ON/OFF 制御されるアナログ・スイッチ (231) 群を介して映像信号線 (11) に接続されている。

【0029】また、更にアナログスイッチ (231) 群のドレン側は、図 1 に示すように保持容量部 (241) を介して各映像信号線 (11) に接続されている。ところで、映像信号線駆動回路 (201) の各映像信号入力線 (221) ～(224) は、図 2 に示すように平行に配置される映像信号入力配線 (221a) ～(224a) と、各映像信号入力配線 (221a) ～(224a) と各アナログスイッチ (231) とを接続する第 1 ～第 4 の接続配線 (221b) ～(224b) によって構成されている。尚、各映像信号入力配線 (221a) ～(224a) と第 1 ～第 4 の接続配線 (221b) ～(224b) は、図示しないが 9000 オングストローム厚の酸化シリコン (SiO₂) から成る層間絶縁膜によって層分離されている。この実施例で 9000 オングストローム厚の酸化シリコン (SiO₂) を用いたのは、各映像信号入力配線 (221a) ～(224a) と第 1 ～第 4 の接続配線 (221b) ～(224b) の交差部分に確実な層分離を得るためにあって、この他にも材料としては酸化シリコン (SiO₂) と BPSG (ボロン・リン・シリケート・ガラス) との 2 層構造としても良い。また、膜厚としては、電気的に確実な層分離が得られるのであれば配線容量の増大防止のために 4000 オングストローム以上の厚膜とする方が好ましく、更に層間ショートを低減するため、BPSG あるいは酸化シリコン (SiO₂) と BPSG との 2 層構造等によるリフロー平坦化が段差を効果的に低減するので有効である。

【0030】そして、各映像信号入力線 (221) ～(224) の配線容量が略等しくなるように、各接続配線 (221b) ～(224b) は各映像信号入力配線 (221a) ～(224a) とそれぞれ 2 回交差してアナログスイッチ (231) に接続されるように構成されている。各接続配線 (221b) ～(224b) の各映像信号入力配線 (221a) ～(224a) と交差する回数は、特に 2 回である必要はないが、時定数を低減することを考慮すれば配線容量が増大しないように交差部はなるべく少なくする方が良い。

【0031】このようにして、この実施例においては各

映像信号入力線 (221) ～(224) 間の配線容量は略等しく調節されている。尚、現実には各映像信号入力線 (221) ～(224) の配列順序等によって若干配線容量は相違してくるが、交差部分に起因した配線容量に比べて十分に小さく、画像に与える影響からすれば無視できる程度であるため、ここでは考慮していない。

【0032】また、この実施例によれば、更に第 1 ～第 4 の映像信号入力配線 (221a) ～(224a) と各アナログ・スイッチ (231) とを接続する第 1 ～第 4 の接続配線 (221b) ～(224b) は、接続の最短距離が略等しくなるように配線されており、これにより映像信号入力線 (221) ～(224) の分割に起因した配線抵抗のばらつきも解消されている。尚、この実施例では第 1 ～第 4 の映像信号入力配線 (221a) ～(224a) 自体の配線抵抗については考慮していない。これは、図 2 からも明らかなように、第 1 ～第 4 の映像信号入力配線 (221a) ～(224a) は互いに略平行に配置されており、配線抵抗はほぼ同一となり、表示品位を大幅に低下させるものではないためである。

【0033】しかし、各映像信号入力配線 (221a) ～(224a) a) 自体の配線抵抗を考慮するのであれば、映像信号 (SV) 供給側と反対側とで各第 1 ～第 4 の接続配線 (221b) ～(224b) の線幅等を徐々に異ならしめても良いし、第 1 ～第 4 の映像信号入力配線 (221a) ～(224a) の両端部から映像信号 (SV) を供給すれば各映像信号入力配線 (221a) ～(224a) 自体の配線抵抗の影響を軽減することができる。

【0034】上述したように、この本実施例の液晶表示装置 (1) において、映像入力信号線 (221) ～(224) は、この映像入力信号線 (221) ～(224) に接続されるアナログ・スイッチ (SW) に隣接するアナログ・スイッチ (SW) に接続された他の映像入力信号線 (221) ～(224) と、配線抵抗および配線容量のそれぞれを等しくする接続配線 (221b) ～(224b) を備えている。このため、各映像信号入力線 (221) ～(224) の周波数特性が略一定となり、映像信号入力線 (221) ～(224) の分割に起因した映像信号線 (11) への周期的な供給電圧のばらつきがなくなる。これにより、映像信号入力線 (221) ～(224) の分割に起因した縞状の表示ムラを解消することができる。

【0035】尚、上述した実施例は、4 本の映像信号入力線 (221) ～(224) で構成される場合を例にとり示したが、本発明はこれに限定されるものではなく、この発明は映像信号入力線の分割数が増大するに従って一層有効に作用するものであって、特に映像信号入力線を 8 ～ 16 本で構成する場合には更に効果的である。

【0036】また、上述した実施例の液晶表示装置 (1) は、各映像信号入力線 (221) ～(224) の配線容量と共に、配線抵抗を略等しく調整したが、少なくとも一方を実現するだけであっても効果は得られる。

【0037】また、配線容量と配線抵抗とを個別にそれぞれが等しくなるように調整しても良いが、配線容量と

配線抵抗との積が略等しくなるよう調整しても良い。更に、この実施例では、4本の映像信号入力線に対して4個のシフトレジスタを設け、シフトレジスタの各段の出力で映像信号入力線に接続される1アナログスイッチを制御する構成としたが、例えばシフトレジスタの各段の出力で映像信号入力線に接続される複数のアナログスイッチを1ブロックとして同時に選択する構成としても良い。これにより、更にシフトレジスタ数を低減させることができ、装置の小型化が達成される。

【0038】この実施例の液晶表示装置(1)では、1映像信号線駆動回路により映像信号線を制御したが、1映像信号線の両端に映像信号線駆動回路をそれぞれ設けることにより冗長性を高める構成としても良い。

【0039】また、奇数番目の映像信号線を第1の映像信号線駆動回路で駆動し、偶数番目の映像信号線を第1の映像信号線駆動回路と対向する位置に配置される第2の映像信号線駆動回路で駆動しても良い。このようにする場合、第1の映像信号線駆動回路と第2の映像信号線駆動回路との間でも映像信号入力線の配線容量および/または配線抵抗を考慮すると良いことは言うまでもない。

【0040】この実施例の液晶表示装置(1)では、白黒表示の場合を取り説いたが、カラー表示を実現するのであれば、例えば3本の映像信号入力線に赤(R)、緑(G)、青(B)の映像信号(SVR)、(SVG)、(SVB)をそれぞれ入力するようにしても良い。また、シフトレジスタの各段の出力で3本の映像信号入力線に接続される3個のアナログスイッチを1ブロックとして同時に選択する構成としても良い。

【0041】また、この実施例の液晶表示装置(1)では、映像信号線駆動回路をシフトレジスタを用いて構成する場合を示したが、シフトレジスタに代えて数ビット*

*のディジタル入力信号に伴ない出力が制御されるデコーダ等で構成しても良いことは言うまでもない。

【0042】

【発明の効果】上述したように本発明の表示装置によれば、映像入力信号線が、隣接する選択素子に接続される他の映像入力信号線の配線抵抗、配線容量あるいは配線抵抗と配線容量の積を略等しくする領域を備えているので、各映像信号入力線の周波数特性が略一定となり、映像信号入力線の分割に起因した映像信号線への周期的な供給電圧のばらつきがなくなる。これにより、映像信号入力線の分割に起因した縞状の表示ムラを解消することができる。

【図面の簡単な説明】

【図1】図1は、本発明の一実施例の液晶表示装置の概略構成図である。

【図2】図2は、図1の液晶表示装置の映像信号線駆動回路の要部概略正面図である。

【図3】図3は、従来の液晶表示装置の映像信号線駆動回路の要部概略正面図である。

【図4】図4は、図1の液晶表示装置の駆動波形を示す図である。

【図5】図5は、従来の液晶表示装置の表示画像を模式的に示す図である。

【符号の説明】

(1) …液晶表示装置

(11)…映像信号線

(17)…画素電極

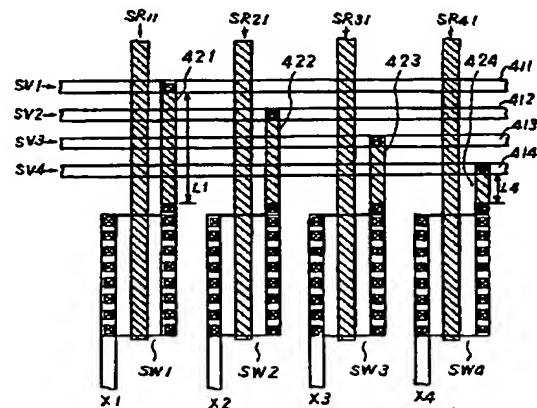
(201)…映像信号線駆動回路

(211),(212),(213),(214)…シフトレジスタ

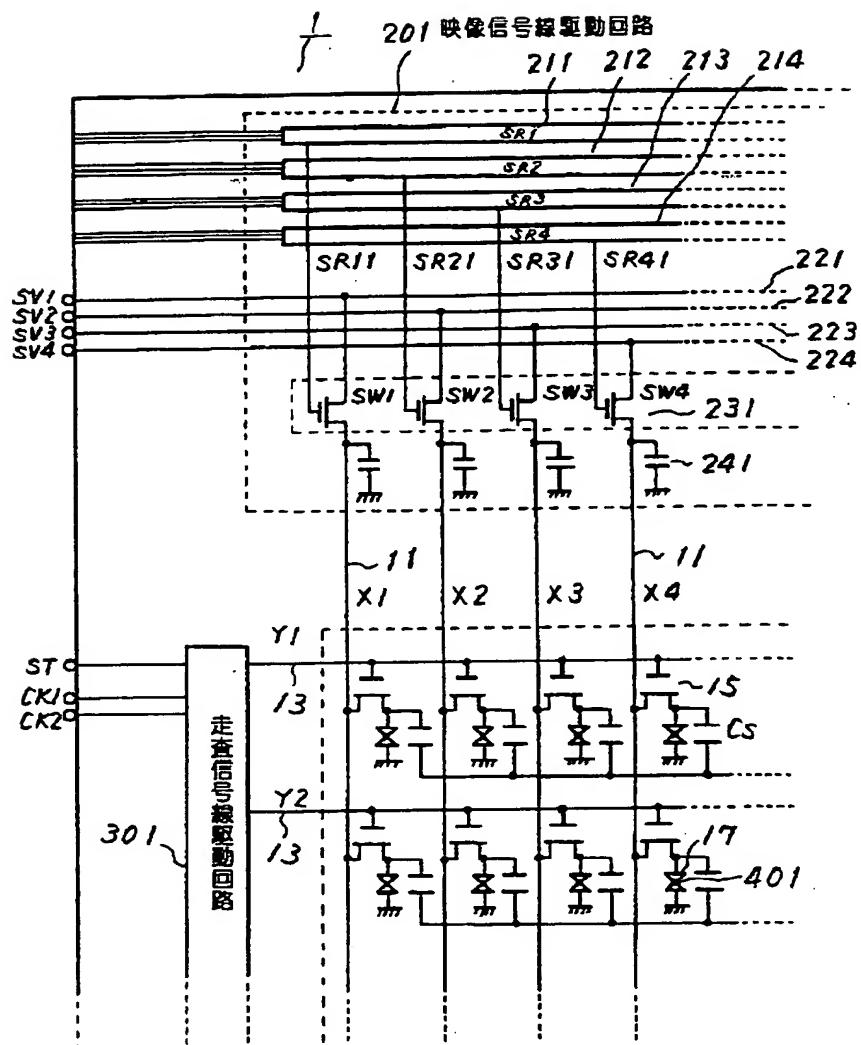
(221),(222),(223),(224)…映像信号入力線

(231)…アナログ・スイッチ

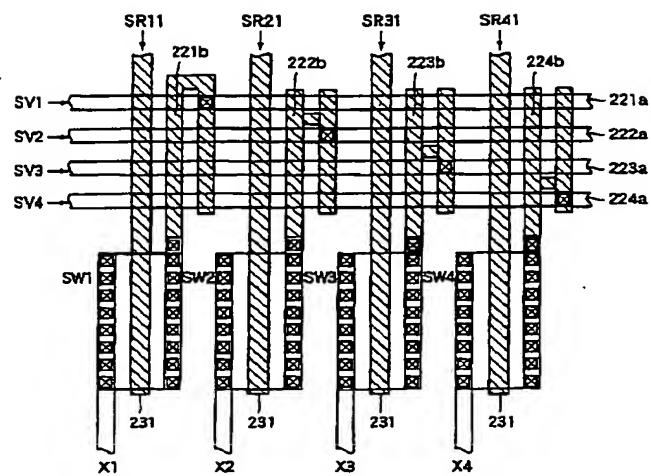
【図3】



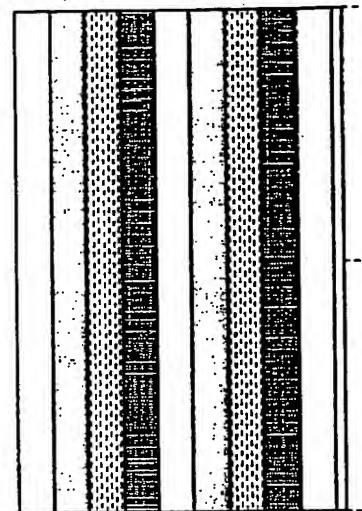
【図1】



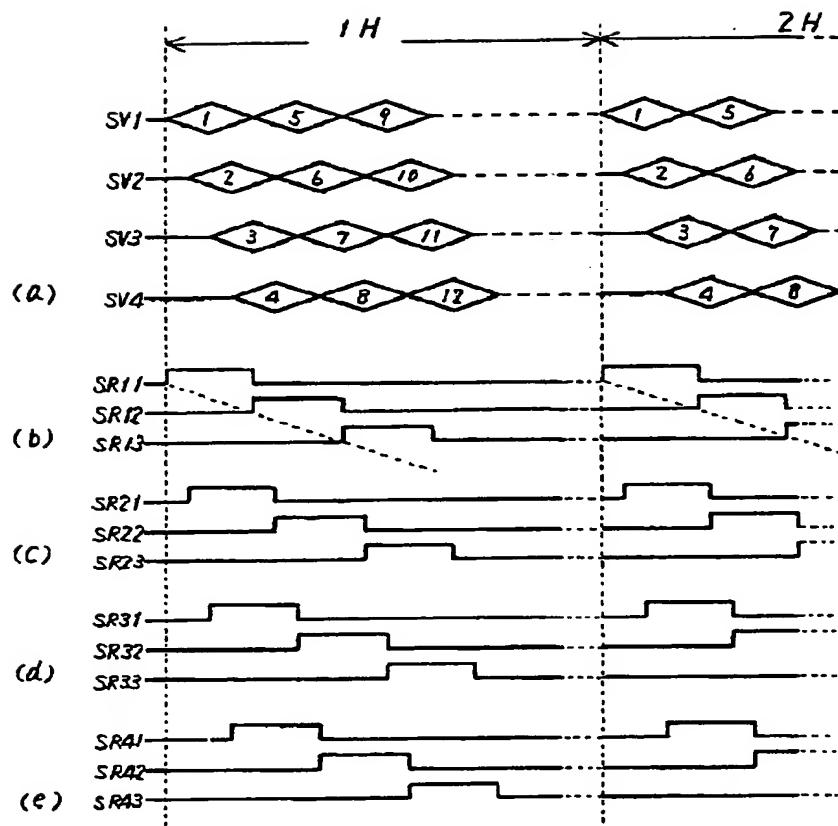
【図2】



【図5】



【図4】



フロントページの続き

(58)調査した分野(Int.Cl.)、DB名)

G02F 1/1368

G09G 3/36